

MOGAMI

02-222546

Sep. 5, 1990

L1: 1 of 1

MANUFACTURE OF MOS FIELD-EFFECT TRANSISTOR

INVENTOR: TORU MOGAMI, et al. (4)
ASSIGNEE: NEC CORP, et al. (80)
APPL NO: 01-44561
DATE FILED: Feb. 23, 1989
PATENT ABSTRACTS OF JAPAN
ABS GRP NO: E1004
ABS VOL NO: Vol. 14, No. 528
ABS PUB DATE: Nov. 20, 1990
INT-CL: H01L 21/336; H01L 29/784

ABSTRACT:

PURPOSE: To dispense with a high-accuracy etching method needed for the formation of a conventional thin SOI thin film by a method wherein a single crystal metal silicide film is formed on regions to be used as source and drain regions on an insulator substrate and a single crystal semiconductor thin film is formed on a region to be used as a gate channel by a single crystal growth method, in which the metal silicide film is used as a seed.

CONSTITUTION: In case a MOS field-effect transistor, which is formed in a single crystal semiconductor thin film on an insulator substrate (a thermal oxide film), is manufactured, a single crystal metal silicide film 5 is formed on regions to be used as source and drain regions on the substrate 2 and there after, the single crystal semiconductor thin film 7 is formed on a region to be used as a gate channel by a single crystal growth method, in which the film 5 is used as a seed. For example, a nickel film 4 is deposited on a SOI film 3 and after a heat treatment is performed to form a single crystal nickel silicide film 5, the film 5 is left only on regions to be used as source and drain regions by dry etching. Then, an amorphous Si film 6 is deposited and is annealed at 600.degree.C, whereby the film 6 is made to perform a solid phase growth using the film 5 as a seed and is turned into a single crystal Si film 7.e

Hetero-Solid-Phase-Epitaxy

No disclosure of diffusion

High conc. produces defect
cracks

NiSi seed

~~no growth~~

~~diffusion~~

~~growth is inhibited due to size of deposits~~
~~higher in conc. of seed~~

not intended to
diffuse, but if it
does, would produce
high concentration
of deposits

公開特許公報(A) 平2-222546

⑦Int. Cl.

識別記号

庁内整理 号

⑧公開 平成2年(1990)9月5日

H 01 L 21/336
29/784

8624-5F H 01 L 29/78 3 1 1 P

審査請求 未請求 請求項の数 1 (全3頁)

⑨発明の名称 MOS型電界効果トランジスタの製造方法

⑩特 願 平1-44561

⑪出 願 平1(1989)2月23日

⑫発 明 者	最 上 徹	東京都港区芝5丁目33番1号	日本電気株式会社内
⑬発 明 者	岡 林 秀 和	東京都港区芝5丁目33番1号	日本電気株式会社内
⑭発 明 者	青 木 秀 充	東京都港区芝5丁目33番1号	日本電気株式会社内
⑮発 明 者	齋 藤 修 一	東京都港区芝5丁目33番1号	日本電気株式会社内
⑯発 明 者	波 田 博 光	東京都港区芝5丁目33番1号	日本電気株式会社内
⑰出 願 人	日本電気株式会社	東京都港区芝5丁目7番1号	
⑱代 理 人	弁理士 内 原 晋		

明 細 書

1. 発明の名称

MOS型電界効果トランジスタの製造方法

2. 特許請求の範囲

(1) 絶縁体基板上の単結晶半導体層上に形成する MOS 型電界効果トランジスタの製造方法において、ソース、ドレインとなるべき領域上に単結晶金属シリサイド膜を絶縁体基板上に形成する工程と、単結晶金属シリサイド膜を膜とする単結晶成長膜によりゲートチャネルとなるべき領域に単結晶半導体層を形成する工程とを含むことを特徴とする MOS 型電界効果トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は MOS 型電 効果トランジスタの製造方法、特に SOI(Silicon-On Insulator) 基板上に形成する MOS 型電界効果トランジスタの製造方法に関する。

(従来の技術)

最近 VLSIにおいては、高集積化と微細化に伴

い、ゲート長が0.8μm程度の MOS 型電界効果トランジスタが用いられている。また、SOI 基板上に形成される MOS 型電界効果トランジスタにおいて

従来、結晶成長が容易である SOI 膜厚が0.5μm程度の単結晶半導体層が用いられていた。しかし、0.5μmと厚い SOI 膜を用いた場合には、パンチスルーや短チャネル効果という 2 次元効果のために MOS 型電界効果トランジスタの特性は劣化するが、SOI 膜厚を最大空乏層厚以下にすることにより、2 次元効果や高電界効果効果を低減できることが最近報告されている。厚い SOI 膜の形成方法は、一度0.5μm程度の厚い SOI 膜を形成した後、種々のエッチング法により薄膜化を行っている。

(発明が解決しようとする課題)

しかしながら、微細ゲート長を有する MOS 型電界効果トランジスタにおいては、ゲート領域の SOI 膜厚を50nm程度以下にしなくては、2 次元効果を十分に抑制することはできない。そのため、ゲート領域あるいはトランジスタを形成する SOI 膜の膜厚を50nm程度以下にしなければならぬ。しか

し、そのように薄いSOI層を大面積に広く形成することは、従来のビームアニール法や固相成長法では困難であるばかりでなく、現在行っている薄いSOI層をエッチングにより得る方法においても、均一性、制御性、面から得る面積である。また、ソース、ドレイン領域の膜厚も薄くするため、ソース、ドレイン抵抗の増大が予想される。

本発明の目的はこのような従来の問題点を解消しうるMOS型電界効果トランジスタの製造方法を提供することにある。

(問題を解決するための手段)

前記目的を達成するため、本発明は絶縁体基板上の単結晶半導体層に形成するMOS型電界効果トランジスタの製造方法において、ソース、ドレインとなるべき領域上に単結晶金属シリサイド膜を絶縁体基板上に形成する工程と、単結晶金属シリサイド膜を膜とする単結晶成長法によりゲートチャネルとなるべき領域に単結晶半導体層を形成する工程とを含むものである。

SOI膜3を0.5 μ mの厚さに形成する。次に、基板表面を平滑化し、前記SOI膜3上にニッケル膜4を0.14 μ m増設する。第1図(N)において、前記シリコン基板1に800°C、30分の熱処理を施し、絶縁膜2上全面に単結晶ニッケルシリサイド膜5を形成した後、ゲートチャネルとなるべき領域と端子分離領域を通常のホトレジスト工程とドライエッチング工程によりエッチング除去する。これにより、絶縁体基板上のソース、ドレインとなるべき領域に、薄い単結晶シリサイド膜を形成されたことになる。次いで、第1図(N)において、非晶質Si膜6を真空蒸着法により30nm増設する。第1図(N)において、前記シリコン基板1を真空中で800°C、2時間、電気炉でアニールすることにより、該非晶質Si膜6をソース、ドレイン領域の単結晶ニッケルシリサイド膜5を膜として、固相成長させ、

結晶Si膜7にし、さらに端子分離部分を通常のホトレジスト工程とドライエッチング工程によりエッチング除去する。この工程により、30nm厚の単結晶Si膜7をゲートチャネル領域に形成できる。

(用)

本発明においては、従来のMOS型電界効果トランジスタ製造方法とは異なり、まず、絶縁体基板上、ソース、ドレインとなるべき領域に、薄い単結晶シリサイド膜を形成する。次に、所望の薄い膜厚の非結晶あるいは多結晶半導体層を基板上に増設した後、近接するソース、ドレイン領域の単結晶シリサイド膜を膜として、ゲートチャネル領域の半導体層を単結晶化する。この場合、単結晶化すべきゲート領域は、せいぜい1 μ m程度であり、容易に単結晶化が可能である。この結果、従来の薄いSOI層形成に必要であった高精度のエッチング法は必要としない。

(実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図(N)～(O)は本発明の一実施例を示した模式的断面図である。

第1図(N)において、シリコン基板1上に、熱酸化による絶縁膜2を1 μ mの厚さに形成し、次いで、

さらに、第1図(N)において、前記ゲート部分の単結晶Si膜7の表面に熱酸化によりゲート酸化膜8を形成し、ゲート電極となる多結晶Si膜9を0.1 μ mだけCVD法により増設した後、該多結晶Si膜9を通常のホトレジスト工程とドライエッチング工程によりエッチングし、ゲート電極を形成する。

以上実施例においては単結晶シリサイド膜としてNiSi₂を用いたが、これに限る必要はなく、CoSi₂やPtSiやPd₂Siなども用いることができる。また、これら単結晶シリサイド膜の膜厚は、前記実施例においては、0.5 μ mとしたが、これに限る必要はなく、シート抵抗が300 Ω /□以下となる膜厚以上の単結晶シリサイド膜を用いることができる。

また、実施例においては、単結晶成長させるべき半導体層の膜厚を30nmとしたが、これに限る必要はなく、少なくとも単結晶シリサイド膜の膜厚以下、任意の膜厚を用いることができる。

さらに実施例においては、ゲートチャネル領域の単結晶膜を形成する方法に固相成長法を用いたが、ビームアニール法なども用いることができる。

また、前記実施例においては、ゲート材料として、結晶Si膜を用いたが、これに代る材料は、高融点金属等の金属膜やポリシリド膜等の膜も用い、ことができる。

【発明 効果】

以上説明したように本発明によれば、従来のNOS型電界効果トランジスタの製造方法とは異なり、ゲート領域の薄いSOI膜は、周辺部の厚い単結晶シリサイド膜を形成した後に周辺部のシリサイド膜を酸として形成するため、従来の薄いSOI膜形成に必要なとされた高濃度のエッチング液は必要としない。また、実施例に示したように、ゲート領域の薄いSOI膜にNOS型電界効果トランジスタを形成した場合でも、ソース、ドレイン領域を厚いシリサイド膜で形成できるので、ソース、ドレイン領域の抵抗を上げずにトランジスタを作製できる効果を有する。

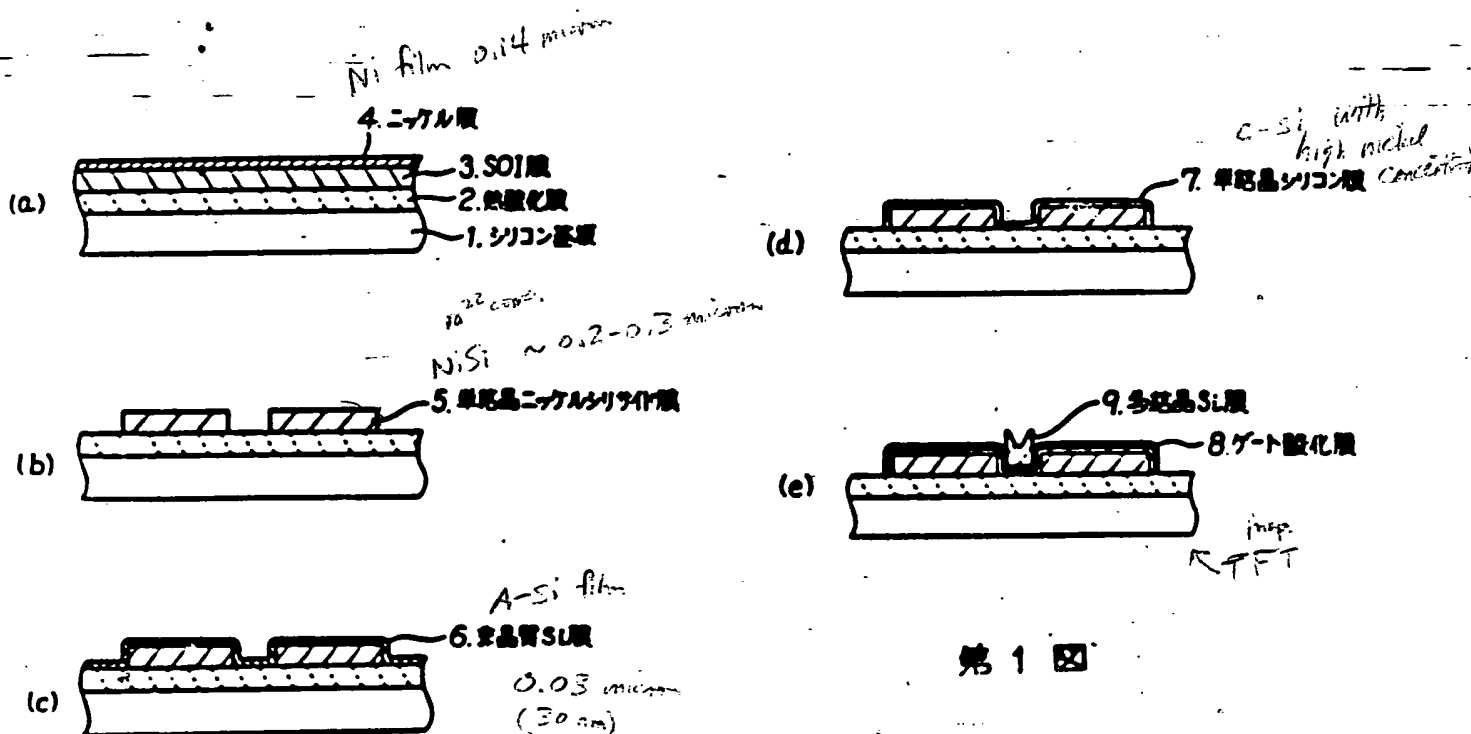
4. 図面の簡単な説明

第1図(a)~(f)は本発明の一実施例を工程順に示した模式的断面図である。

- | | |
|-------------------|------------|
| 1...シリコン基膜 | 2...絶縁膜 |
| 3...a-Si膜 | 4...ニッケル膜 |
| 5...単結晶ニッケルシリサイド膜 | |
| 6...多結晶Si膜 | 7...単結晶Si膜 |
| 8...ゲート酸化膜 | 9...多結晶Si膜 |

特許出願人 日本電気株式会社

代理人 弁護士 内原 晋



第1図

第1図